

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-045701

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

H01L 21/768
H01L 21/3205

(21)Application number : 05-184282

(71)Applicant : NEC CORP

(22)Date of filing : 27.07.1993

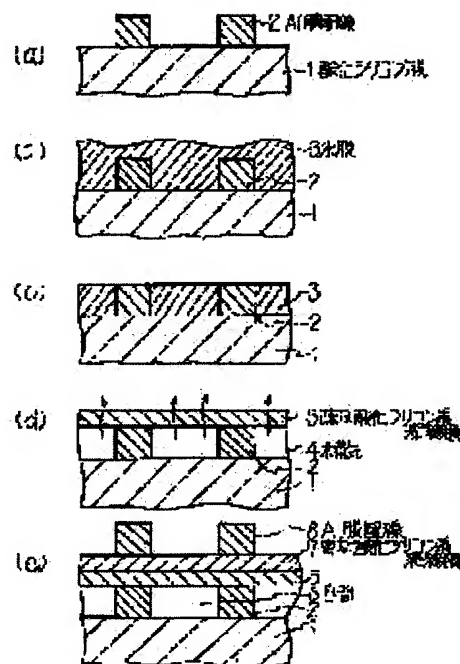
(72)Inventor : YOSHIIE MASANOBU
OKAMURA KENJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To decrease the parasitic capacitance between wirings by providing vacant space between the wirings on the same layer.

CONSTITUTION: After wirings 2 have been formed on the same layer, a solid film 3 is formed while it is being cooled by the use of a liquid. The solid film is removed as far as the wiring part is exposed. After a roughly insulating film 5 having a large film shrinkage factor has been formed on the solid film, the solid film is evaporated through the insulating film 5 by heating etc., and a dense insulating film 7 having the film shrinkage factor smaller than that of the insulating film 5 is formed. Space 6 is obtained between wirings.



4)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-45701

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768 21/3205		8826-4M 8826-4M 8826-4M	H 0 1 L 21/ 90 21/ 88 21/ 90	N S V
審査請求 有 請求項の数 6 O L (全 6 頁)				

(21) 出願番号 特願平5-184282

(22) 出願日 平成5年(1993)7月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 善家 昌伸

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 岡村 健司

東京都港区芝五丁目7番1号 日本電気株式会社社内

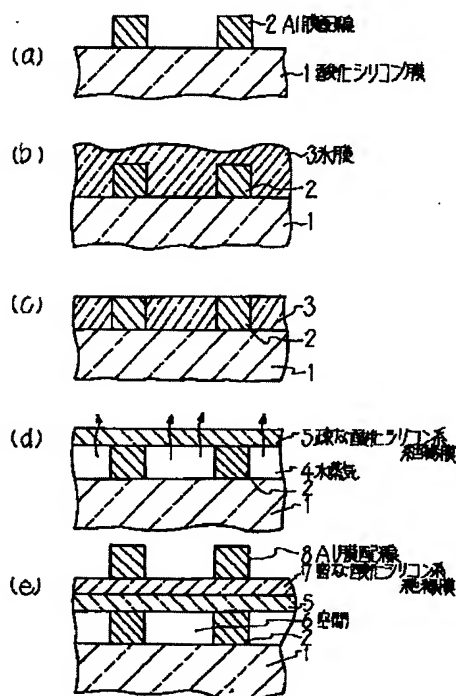
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 同一層次の配線間に空間を設け、配線間の寄生容量を低減させる。

【構成】 同一層次の配線(2)形成後、液体を用いて冷却しながら固体膜(3)を形成し、配線部分が露出するまで固体膜を除去し、固体膜上に膜収縮率の大きな疎な絶縁膜(5)を形成後、加熱等で固体膜を気化させて絶縁膜(5)を通して蒸発させて、絶縁膜(5)より膜収縮率の小さな密の絶縁膜(7)を形成する。この様にして配線間に空間6を形成する。



1

【特許請求の範囲】

【請求項1】 半導体基板の所定の第1の絶縁膜の表面を選択的に被覆して形成された同一層次の複数の配線と、前記配線の表面を被覆する疎な第2の絶縁膜および前記第2の絶縁膜の表面を被覆する密な第3の絶縁膜とを有し、前記配線相互間に空間があることを特徴とする半導体装置。

【請求項2】 前記配線の表面および側面が保護膜で覆われている請求項1記載の半導体装置。

【請求項3】 前記配線と同一層次のダミー配線が設けられている請求項1または2記載の半導体装置。

【請求項4】 半導体基板の表面を覆う第1の絶縁膜の表面を選択的に被覆して同一層次の複数の配線を形成する工程と、前記半導体基板を冷却しつつ所定の液体を供給して固化させることにより前記配線で選択的に被覆された第1の絶縁膜表面に固体膜を形成する工程と、前記固体膜を薄くして前記配線の表面を露出させる工程と、疎な第2の絶縁膜を全面に堆積する工程と、加熱または減圧下で前記固体膜を蒸発させる工程と、密な第3の絶縁膜を堆積する工程とにより前記配線相互間に空間を設けることを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板の表面を覆う第1の絶縁膜の表面を選択的に被覆して同一層次の複数の配線を形成する工程と、前記配線の表面および側面を少なくとも覆う保護膜を形成する工程と、前記半導体基板を冷却しつつ所定の液体を供給して固化させることにより前記保護膜で少なくとも選択的に被覆された第1の絶縁膜表面に固体膜を形成する工程と、前記固体膜を薄くして前記配線の表面の前記保護膜の表面を露出させる工程と、疎な第2の絶縁膜を全面に堆積する工程と、加熱または減圧下で前記固体膜を蒸発させる工程と、密な第3の絶縁膜を堆積する工程とにより前記配線相互間に空間を設けることを特徴とする半導体装置の製造方法。

【請求項6】 前記固体膜を形成させる工程から前記第3の絶縁膜を堆積する工程までを同一の製造装置内で行う請求項4または5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法に関し、特に同一層次の配線間に空間を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年半導体装置において、高性能化のため多層配線化及び微細化が進んでいる。最小加工寸法0.3 μ mレベル以下の半導体装置にとって配線の寄生容量の増大は高速化にとっては重大な問題である。同一層次の配線間容量は微細化に伴って増大するという重大な問題が起きてくる。

【0003】 そこで、従来は配線相互間の寄生容量を低減させるために、例えば特開平2-240947号公報

2

に記載されている様な配線間に空間のある半導体装置が提案されている。図6を参照して、この従来の配線間に空間のある半導体装置及びその製造方法について説明する。

【0004】 まず、図6(a)に示すように、図示しないトランジスタ等を形成したシリコン基体の表面にCVD法等により酸化シリコン膜1を形成した半導体基板を準備する。通常的光リソグラフィ技術を用いて酸化シリコン膜にコンタクト孔(図示せず)を形成する。次にスパッタリング法等でAl膜形成し、通常的光リソグラフィ技術を用いて、Al膜をパターニングして第1層目のAl膜配線2を形成する。次に、CVD法で酸化シリコン膜11を成膜する。

【0005】 そして、スピンコート法を用いて、図6(b)に示すように、SOG膜13を形成する。次にプラズマCVD法等を用いて、酸化シリコン膜14を形成し、フォトリソグラフ膜を形成したのちエッチバックを行い、平坦化する。そして、プラズマCVD法等で酸化シリコン膜15を形成する。

【0006】 次に光リソグラフィ技術を用いて、コンタクト孔16を形成する。そして、スパッタリング法等でAl膜8Aを形成し、光リソグラフィ技術を用いて、図6(c)に示すように、第2のAl膜配線8を形成する。そして、第2のAl膜配線8をマスクにプラズマエッチング法により、酸化シリコン膜14、15及びSOG膜13をエッチングして、第1層及び第2層の各層の配線間に空間を形成する。

【0007】 最後に、図6(d)に示すように、酸化シリコン膜17及び窒化シリコン膜18を、プラズマCVD法で形成する。以上の様にして、最上層の配線間のみでなく、下層の配線間の一部にも空間絶縁構造が実現できる。

【0008】

【発明が解決しようとする課題】 この従来の半導体装置においては、最上層の配線間のみでなく、下層の配線間の一部にも空間を形成できるが、最上層と下層との重なっている部分は空間が形成できない欠点がある。そのため、半導体装置の高性能化のために多層配線化が進み、3層以上の多層配線を有する半導体装置の場合、配線の各層が重なり合う部分が増加し、空間が形成できる割合が多層になるに従って減少し、配線間の寄生容量の低減効果は減少するという問題点がある。この様に、従来法では、最小加工寸法0.3 μ m以下の今後の半導体装置に用いて、高速化の効果は少ないという問題点がある。

【0009】

【課題を解決するための手段】 本発明の半導体装置は、半導体基板の所定の第1の絶縁膜の表面を選択的に被覆して形成された同一層次の複数の配線と、前記配線の表面を被覆する疎な第2の絶縁膜および前記第2の絶縁膜の表面を被覆する密な第3の絶縁膜とを有し、前記配線

相互間に空間があるというものである。

【0010】又、本発明の半導体装置の製造方法は、半導体基板の表面を覆う第1の絶縁膜の表面を選択的に被覆して同一層次の複数の配線を形成する工程と、前記半導体基板を冷却しつつ所定の液体を供給して固化させることにより前記配線で選択的に被覆された第1の絶縁膜表面に固体膜を形成する工程と、前記固体膜を薄くして前記配線の表面を露出させる工程と、疎な第2の絶縁膜を全面に堆積する工程と、加熱または減圧下で前記固体膜を蒸発させる工程と、密な第3の絶縁膜を堆積する工程とにより前記配線相互間に空間を設けるというものである。この場合、配線の表面および側面を覆う保護膜を形成してから固体膜を形成し、次に前記固体膜を薄くして前記配線の表面の前記保護膜を露出させてから疎な第2の絶縁膜を全面に堆積してもよい。

【0011】

【実施例】次に本発明について図面を参照して説明する。図1(a)～(e)は本発明の第1の実施例について製造工程に沿って説明するための工程順断面図である。

【0012】まず、図1(a)に示すように、通常の技法を用いることで、シリコン基板(図示せず)に半導体装置に構成するのに必要な諸部分例えば、トランジスタ等を形成後、CVD法等を用いて酸化シリコン膜1(第1の絶縁膜)を200～800nm程度形成した半導体基板を用意する。次に通常のフォトリソグラフィ技術等を用いて、コンタクト孔(図示せず)を形成する。そして、スパッタリング技術を用いて、第1層目のA1膜配線2を形成する。

【0013】次に、例えば回転塗布装置を用いて、半導体基板を0℃以下に冷却しながら、例えば水を滴下して、図1(b)に示すように、半導体基板表面に氷膜3を0.5～2μm程度形成する。次に、化学的機械研磨(CMP)装置を用い、例えばアルコールを流しながら数十～数百rpmで回転しながら数十～2000g/cm²の圧力を半導体基板に加えることによって、A1配線2が露出するまで研磨する。

【0014】本実施例では、CMP法を用いたが、プラズマエッチング法等によるエッチバックで行っても良いし、0～-10℃で数Torrにして水分をとばしても良い。

【0015】引き続いて、0℃以下の低温で膜収縮率の大きな疎な酸化シリコン膜(第2の絶縁膜)5を200～500nm成膜する。形成方法として例えば水素希釈SiH₄+O₂系冷却プラズマCVD法を用いて、水素希釈シラン100sccm酸素10sccm混合ガスのグロー放電分解で、反応圧力0.2Torr、放電パワー50W、シリコン基板温度-110℃で成膜を行う。この冷却プラズマCVD法は、第38回応用物理学関係連合講演会講演予稿集No. 2、第633頁、29p-

V-11に記載されている。

【0016】また、トリエトキシフルオロシランと水を用いて、0℃付近で酸化シリコン系絶縁膜を形成してもよい。この場合、水は氷膜3上から水蒸気として供給されるので、常圧でトリエトキシフルオロシランのみを流しても良い、またTEOSと水を用いたプラズマCVD法でも良い。

【0017】このようなCVD法については、1991インタナショナル・エレクトロン・デバイス・ミーティング・テクニカルダイジェスト誌(1991 International Electron Device Meeting TECHNICAL DIGEST)、第289頁～第292頁に記載の論文に紹介されている。

【0018】この様な方法で形成される酸化シリコン系絶縁膜は、900℃の窒素雰囲気中の処理で少なくとも3%の体積収縮を示す疎な膜である。

【0019】この後、100～300℃に加熱したり、あるいは数Torrの減圧下にしたりして、図1(d)に示すように、配線間の氷膜3を水蒸気4にして、疎な酸化シリコン系絶縁膜5を通して、蒸発させる。

【0020】そして、酸化シリコン絶縁膜5より熱処理による体積収縮の少ない、例えば、収縮率3%以下の密な酸化シリコン系絶縁膜7(第3の絶縁膜)を図1(e)に示すように、200～1000nm成膜する。成膜方法として、シランと亜酸化窒素又はテトラエトキシシランと酸素を用いたプラズマCVD法がある。次に、スパッタリング法を用いてA1膜を0.3～1μm成膜し、通常のフォトリソグラフィ技術及びプラズマエッチング技術を用いて、第2層のA1膜配線8を形成する。

【0021】以上説明した様に、本発明は、氷膜3を水分として疎な酸化シリコン系絶縁膜5を通して蒸発させることで、配線間に空間6を形成できる。空間には固体がないので、比誘電率は約1であり、酸化シリコン膜の約4に比較して、約1/4に低減される。そのため、従来例では一層目と二層目の配線が重なっている部分は、空間でなく酸化シリコン膜が存在していたが、本発明を用いることにより、2層目以上の配線でも各々の層の配線間に空間が形成でき、従来に比較して同一層次の配線間の寄生容量を低減できる。また層間絶縁膜に疎な第2の絶縁膜を含んでいるので層次を異にする配線間の寄生容量も小さくできる。従って、半導体装置の高速動作に効果がある。

【0022】この様に、本発明は多層配線化を行っても配線間寄生容量の低減が可能であり、従来より、より微細配線及び多層配線に対応できる。

【0023】次に、第2の実施例について説明する。図2は、本発明の第2の実施例を示す半導体チップの断面図である。本実施例は、A1膜配線2及び8の周囲をそ

れぞれ窒化アルミニウム膜10a, 10bで囲んだ構造である。窒化アルミニウム膜(保護膜)でA1膜配線を囲むことで、大電流をA1膜配線に流す場合のエレクトロマイグレーション等の耐性を上げ、配線の信頼性を第1の実施例より一層向上させたものである。

【0024】本実施例で、第1層目および第2層目のA1膜配線2, 8を形成後に、ランブアニーラー等を用いて、窒素又はアンモニア雰囲気中で、300~450℃に加熱することで、A1膜配線2, 8の表面を窒化し、窒化アルミニウム膜10a, 10bを1~50nm形成するほかは、第1の実施例と同様である。また、保護膜としては、前述の窒化アルミニウム膜の代わりに、酸素雰囲気中で加熱することで、酸化アルミニウム膜を形成してもよい。

【0025】次に、第3の実施例について説明する。図3は、本発明の第3の実施例を示す半導体チップの断面図である。本実施例は、A1膜配線2及び8の周囲をそれぞれ酸化シリコン系絶縁膜11a及び11b(保護膜)で囲んだ構造である。シランと亜酸化窒素あるいはテトラエトキシシランと酸素を用いてプラズマCVD法で、酸化シリコン系絶縁膜11a, 11bをそれぞれ50~200nm形成することにより、A1膜配線2及び8の信頼性を向上できる。第2及び第3の実施例の構造とも、A1膜配線の信頼性向上に効果があるが、A1膜配線間の間隔が小さくなると、第3の実施例では配線間の空間6が酸化シリコン系絶縁膜で埋まるので、配線間の寄生容量低下の効果は減少してくる。半導体装置によって、第2又は第3の実施例を用いるかを自由に決めればよい。

【0026】なお、A1膜配線の周辺を囲む保護膜の種類を、第1層目は窒化アルミニウム膜、第2層目は酸化シリコン系絶縁膜と、各層ごとに变化させてもよい。

【0027】次に第4の実施例を図面を参照して説明する。図4は本発明の第4の実施例を示す半導体チップの断面図である。本実施例では、A1膜配線間の間隔が大きい、例えば5μm以上の場合、疎な第2の絶縁膜(5)及び密な第3の絶縁膜(7)等を支えるものとして、A1膜配線間にダミー配線12を用いた構造である。ダミー配線として、例えばA1膜を用いて、第1層のA1膜配線2を形成する際に、ダミー配線12を形成すれば、容易に本実施例の構造が実現できる。本実施例の様にダミー配線を所定層次の配線間に用いることで、空間があっても強度的に十分な半導体装置が製造できる。なお、ダミー配線は任意の位置に形成できるのは言うまでもないことである。

【0028】次に第5の実施例を図面を参照して説明する。図5は、本発明の製造に用いる半導体製造装置の模式図である。この半導体製造装置は例えば、第1の実施例において、A1膜配線2上に氷膜3を形成する工程から、密な絶縁膜を形成する工程までを同一装置内で行え

るようにしたものである。

【0029】本装置は、ウェハの出し入れ用のインターロック室20、氷膜形成室22、氷膜を蒸発させるためのバージ室24、疎な絶縁膜形成用及び密な膜形成用のCVD室23及びウェハ移載のための搬送ロボットのある移載室21とバルブ19-1~19-5から構成され、また、移載室21、CVD室23、バージ室24等は、0℃以下に低温になるようになっている。

【0030】本装置を用いて本発明を実施する方法を以下説明する。まず、第1層のA1膜配線2を形成後、ウェハをインターロック室20に入れ、移載室21を経由して、氷膜形成室22に入れる。第1の実施例で説明した用に、水を滴下しながら、ウェハを0℃以下の低温で回転することで、ウェハ表面に氷膜を形成する。このウェハを例えば-10~-20℃に冷却しながら、移載室21を経由し、バージ室24に入れる。温度を0~-10℃にして、数Torrの減圧下にするので、氷膜表面から水蒸気として、水分をとばし、第1層のA1膜配線の表面が露出するまで、氷膜を除去する。

【0031】次に、ウェハを-10~-20℃に冷却し、移載室21を経由しCVD室23に搬送する。熱処理により3%以上の体積収縮をする疎な酸化シリコン系絶縁膜を形成する。次に、ウェハを冷却しながら、移載室21を経由してバージ室24に入れる。温度を20~200℃まで上げ、又は、減圧をすることを併用して、氷膜を水蒸気として蒸発させ、A1膜配線間の空間を形成する。そして、ウェハを移載室21を経由して、CVD室23に搬送する。そこで密な酸化シリコン系絶縁膜を形成する。

【0032】以上の様に、同一製造装置内で一連の工程を行うことで、工程の途中で氷膜が溶けたりすることがなくなり、再現性良く、信頼性のいい半導体装置が実現できる。

【0033】なお、本実施例では、疎な絶縁膜及び密な絶縁膜を形成するCVD室を同一チャンパーで説明したが、別々のチャンパーにしても良い。また同様にバージ室で、氷膜をA1膜配線が露出するまで除去する工程と水蒸気として除去する工程を行う様にしたが、別々のチャンパーで行っても良い。

【0034】以上の様に、本発明の実施例を説明したが、配線材料として、A1以外に、A1-Cu-Siはいうまでもないが、W, Mo, Cu等の金属又は、シリサイド等の材料を用いても、本発明の効果は変わらない。

【0035】また、実施例では、液体として水、固体膜として氷膜を用いて説明したが、アルコール等の他の液体を用いても良い。また、疎な絶縁膜及び密な絶縁膜として酸化シリコン系絶縁膜で説明したが、他の絶縁膜を用いても良い。

【0036】なお、本発明の実施例では、2層配線構造

7

8

で説明したが、一層構造、2層以上の構造に本発明を用いても良い。

【0037】

【発明の効果】以上説明したように本発明は、同一層次の配線間に空間を形成することにより、多層配線にしても従来みられた様な配線の各層が重なり合う部分に空間ができないという問題点も解決でき、配線間の寄生容量を一層低減でき、半導体装置の一層の高速化が可能になるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するため(a)～(e)に分図して示す工程断面図である。

【図2】本発明の第2の実施例を説明するための半導体チップの断面図である。

【図3】本発明の第3の実施例を説明するための半導体チップの断面図である。

【図4】本発明の第4の実施例を説明するための半導体チップの断面図である。

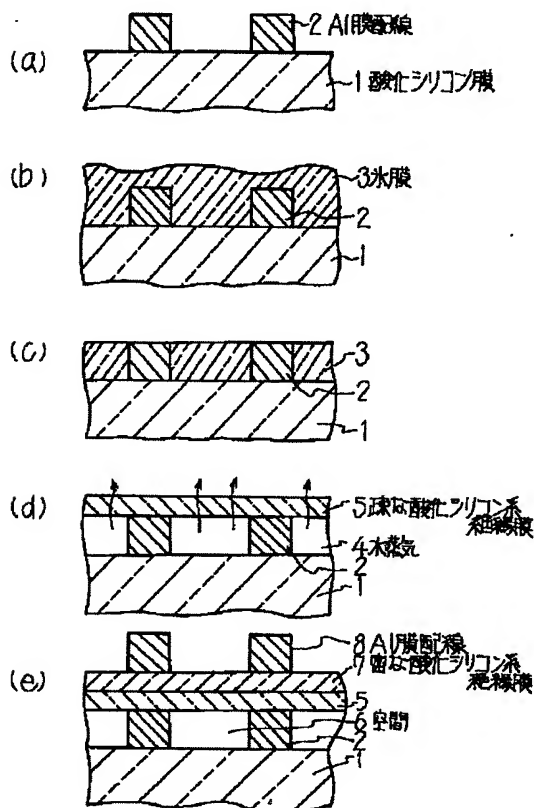
【図5】本発明の第5の実施例を説明するための半導体製造装置の模式図である。

【図6】従来技術を説明するための半導体チップの断面図である。

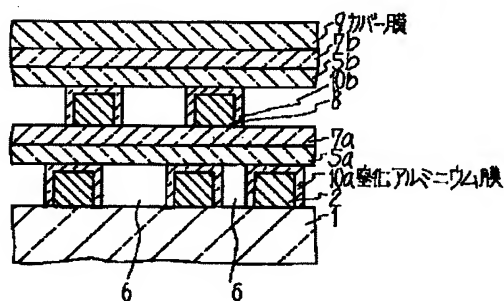
【符号の説明】

- | | |
|--------------|--------------|
| 1 | 酸化シリコン膜 |
| 2 | 第1層のAl膜配線 |
| 3 | 水膜 |
| 4 | 水蒸気 |
| 5 | 疎な酸化シリコン系絶縁膜 |
| 6 | 空間 |
| 7, 7a, 7b | 密な酸化シリコン系絶縁膜 |
| 8 | 第2層のAl膜配線 |
| 9 | カパー膜 |
| 10, 10a, 10b | 窒化アルミニウム膜 |
| 11, 11a, 11b | 酸化シリコン系絶縁膜 |
| 12 | ダミー配線 |
| 13 | SOG膜 |
| 14, 15 | 酸化シリコン膜 |
| 16 | コンタクト |
| 17 | 酸化シリコン膜 |
| 18 | 窒化シリコン膜 |
| 19-1～19-5 | バルブ |
| 20 | インターロック室 |
| 21 | 移載室 |
| 22 | 水膜形成室 |
| 23 | CVD室 |
| 24 | パージ室 |

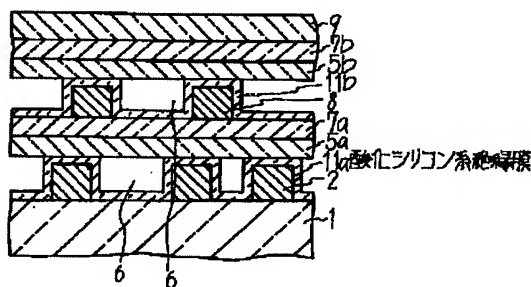
【図1】



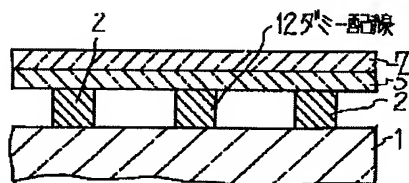
【図2】



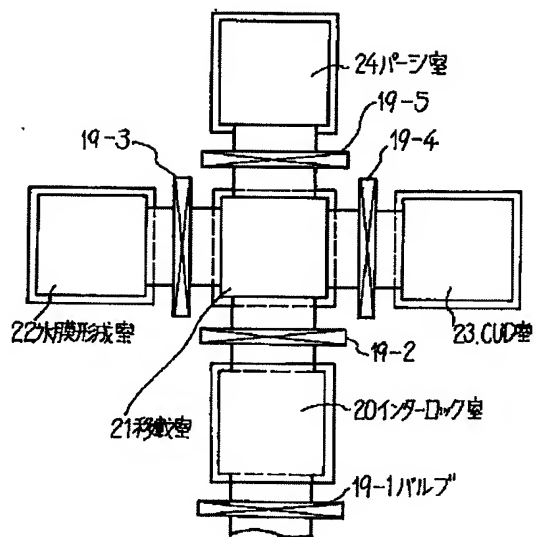
【図3】



【図4】



【図5】



【図6】

